

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Manabu KODATE et al.
Title: IMAGE DISPLAY ELEMENT AND IMAGE DISPLAY DEVICE
Appl. No.: Unassigned
Filing Date: 07/01/2003
Examiner: Unassigned
Art Unit: ~~Unassigned~~ Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 2002-192650 filed 07/01/2002.

Respectfully submitted,

By



Glenn Law
Attorney for Applicant
Registration No. 34,371

Date: July 1, 2003

FOLEY & LARDNER
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5426
Facsimile: (202) 672-5399

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 1日

出 願 番 号

Application Number:

特願2002-192650

[ST.10/C]:

[JP2002-192650]

出 願 人

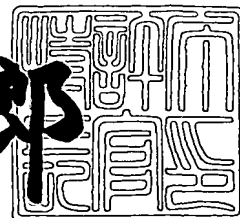
Applicant(s):

奇美電子股▲ふん▼有限公司

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035415

【書類名】 特許願

【整理番号】 PIDA-14197

【提出日】 平成14年 7月 1日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/18
G09G 3/36

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナシ
ョナル ディスプレイ テクノロジー株式会社内

【氏名】 古立 学

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナシ
ョナル ディスプレイ テクノロジー株式会社内

【氏名】 中嶋 浩詞

【特許出願人】

【識別番号】 301075190

【氏名又は名称】 インターナショナル ディスプレイ テクノロジー株式
会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0117195

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示素子及び画像表示装置

【特許請求の範囲】

【請求項 1】 基板内部に配設され、表示信号を供給する複数の信号線と、
前記基板内部に配設され、走査信号を供給する複数の走査線と、
所定の走査線と電氣的に接続され、前記基板表面上に露出した第 1 の表面配線構造と、

前記基板表面上に露出し、前記第 1 の表面配線構造と最も近接し、かつ $5\mu\text{m}$
以上離隔して配設された第 2 の表面配線構造と、

を備えたことを特徴とする画像表示素子。

【請求項 2】 基板内部に配設され、表示信号を供給する複数の信号線と、
前記基板内部に配設され、走査信号を供給する複数の走査線と、
所定の走査線と電氣的に接続され、前記基板表面上に露出された第 1 の表面配線構造と、

前記基板表面上に露出され、該第 1 の表面配線構造近傍に配設された第 2 の表面配線構造と、

該第 2 の表面配線構造及び前記第 1 の表面配線構造の少なくとも一方の表面を覆うよう配設された絶縁材料と、

を備えたことを特徴とする画像表示素子。

【請求項 3】 前記第 2 の表面配線構造は、前記所定の走査線と異なる走査線の電位とほぼ等しい電位を有することを特徴とする請求項 1 または 2 に記載の画像表示素子。

【請求項 4】 前記基板に所定距離離隔して対向配置された対向基板をさらに備え、前記絶縁材料は、前記基板と前記対向基板との間隔を規定するスペーサであることを特徴とする請求項 2 または 3 に記載の画像表示素子。

【請求項 5】 前記絶縁材料は、所定の光透過領域を備えた遮光膜であることを特徴とする請求項 2 または 3 に記載の画像表示素子。

【請求項 6】 第 1 の基板内部に配設され、表示信号を供給する複数の信号線と、

前記第 1 の基板内部に配設され、走査信号を供給する複数の走査線と、
前記走査線と電氣的に接続され、前記第 1 の基板表面上に露出された表面配線構造と、
前記第 1 の基板と所定間隔離隔して対向配置された第 2 の基板と、
前記表面配線構造から 5 μ m 以上離隔して前記第 1 の基板上もしくは前記第 2 の基板下面に載置され、前記第 1 の基板と前記第 2 の基板との間隔を規定するスペーサと、
を備えたことを特徴とする画像表示素子。

【請求項 7】 前記スペーサは、遮光領域上に配設されていることを特徴とする請求項 6 に記載の画像表示素子。

【請求項 8】 前記スペーサは、遮光領域上であって、前記表面配線構造から最も離隔した位置に配設されていることを特徴とする請求項 6 に記載の画像表示素子。

【請求項 9】 所定の信号線から表示信号が供給される第 1 の画素電極及び第 2 の画素電極と、

前記所定の信号線と前記第 1 の画素電極との間に配設され、かつ前記表示信号の供給を制御するゲート電極を備えた第 1 のスイッチング素子と、

前記第 1 のスイッチング素子の前記ゲート電極と所定の走査線との間に配設される第 2 のスイッチング素子と、

前記所定の信号線に接続され、かつ前記第 2 の画素電極への前記表示信号の供給を制御する第 3 のスイッチング素子と、

をさらに備えたことを特徴とする請求項 1 ～ 8 のいずれか一つに記載の画像表示素子。

【請求項 1 0】 基板上に画素を $M \times N$ (M 、 N は任意の正の数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、

表示信号を供給する信号線駆動回路と、

走査信号を供給する走査線駆動回路と、

前記信号線駆動回路から延び、前記基板内部に配設された複数の信号線と、

前記走査線駆動回路から延び、前記基板内部に配設された複数の走査線と、

所定の走査線と電氣的に接続され、前記基板表面上に露出した第 1 の表面配線構造と、

前記基板表面上に露出し、前記第 1 の表面配線構造と最も近接し、かつ $5\ \mu\text{m}$ 以上離隔して配設された第 2 の表面配線構造と、

を備えたことを特徴とする画像表示装置。

【請求項 1 1】 基板上に画素を $M \times N$ (M 、 N は任意の正の数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、

表示信号を供給する信号線駆動回路と、

走査信号を供給する走査線駆動回路と、

前記信号線駆動回路から延び、前記基板内部に配設された複数の信号線と、

前記走査線駆動回路から延び、前記基板内部に配設された複数の走査線と、

所定の走査線と電氣的に接続され、前記基板表面上に露出された第 1 の表面配線構造と、

前記基板表面上に露出され、該第 1 の表面配線構造近傍に配設された第 2 の表面配線構造と、

該第 2 の表面配線構造の表面及び前記第 1 の表面配線構造の少なくとも一方の表面を覆うよう配設された絶縁材料と、

を備えたことを特徴とする画像表示装置。

【請求項 1 2】 前記第 2 の表面配線構造は、前記所定の走査線と異なる走査線の電位とほぼ等しい電位を有することを特徴とする請求項 1 0 または 1 1 に記載の画像表示装置。

【請求項 1 3】 基板上に画素を $M \times N$ (M 、 N は任意の正の数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、

表示信号を供給する信号線駆動回路と、

走査信号を供給する走査線駆動回路と、

前記信号線駆動回路から延び、前記基板内部に配設された複数の信号線と、

前記走査線駆動回路から延び、前記基板内部に配設された複数の走査線と、

前記第 1 の基板内部に配設され、走査信号を供給するための複数の走査線と、

前記走査線と電氣的に接続され、前記第 1 の基板表面上に露出された表面配線

構造と、

前記第 1 の基板と所定間隔離隔して対向配置された第 2 の基板と、

前記表面配線構造から $5\mu\text{m}$ 以上離隔して前記第 1 の基板上もしくは前記第 2 の基板下面に載置され、前記第 1 の基板と前記第 2 の基板との間隔を規定するスペーサと、

を備えたことを特徴とする画像表示装置。

【請求項 14】 同一の信号線から表示信号が供給される第 1 の画素電極及び第 2 の画素電極と、

前記所定の信号線からの表示信号の前記第 1 の画素電極への供給を制御し、かつ $n + 2$ 番目の走査線からの走査信号により駆動される第 1 のスイッチング素子と、

前記 $n + 1$ 番目の走査線からの走査信号により駆動され、かつ前記第 1 のスイッチング素子のオン・オフを制御する第 2 のスイッチング素子と、

前記所定の信号線からの表示信号の前記第 2 の画素電極への供給を制御し、かつ前記 $n + 1$ 番目の走査線からの走査信号により駆動される第 3 のスイッチング素子と、

をさらに備えたことを特徴とする請求項 10～13 のいずれか一つに記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の走査線および信号線を有し、かつ所定の走査線と電気的に接続されかつ表面に露出した表面配線構造を備えた画像表示素子及び画像表示装置に関し、特に、製造工程上の負担を増加させることなく高い画面表示特性を維持できる画像表示素子及び画像表示装置に関する。

【0002】

【従来の技術】

CRTディスプレイにおいて進歩の遅かったディスプレイの高解像度化は、液晶をはじめとする新たな技術の導入と共に飛躍的な進歩を遂げようとしている。

すなわち、液晶表示装置は微細加工を施すことによりC R Tディスプレイに比べて高精細な画像を表示することが可能である。

【0003】

液晶表示装置として、スイッチング素子としてのT F T (Thin Film Transistor: 薄膜トランジスタ) を備えたアクティブマトリックス方式を用いた液晶表示装置が知られている。かかるアクティブマトリックス方式の液晶表示装置は、走査線と信号線とをマトリックス状に配設し、その交点に薄膜トランジスタが配設されたT F Tアレイ基板と、その基板と所定の間隔を隔てて対向配置される対向基板との間に液晶材料を封入し、この液晶材料に与える電圧を薄膜トランジスタによって制御して、液晶の電気光学的効果を利用して表示を可能としている。

【0004】

図15 (a) ~図15 (e) は、T F Tアレイ基板の製造工程を示す図である。図15 (a) に示す工程で基板上に薄膜トランジスタを構成するゲート電極等を形成し、図15 (b) に示す工程でゲート絶縁膜102、半導体層103、チャネル保護層104を形成する。ここで、図15 (a) ~図15 (e) に示すそれぞれの工程ごとに所定のパターンを備えたマスクを用いてフォトリソグラフィ法によってエッチングを行っており、T F Tアレイ基板上の薄膜トランジスタ等の構造に関わらず、現状では図15 (a) ~図15 (e) に示す各工程に対応した5通りのマスクパターンを用いてT F Tアレイ基板を形成している。工程数を削減した結果、所定の走査線と導通した接続端子を他の配線または電極と接続する配線107bは、図15 (e) に示す工程で形成され、T F Tアレイ基板表面上に露出した構造を有する。

【0005】

【発明が解決しようとする課題】

しかしながら、走査線と導通した配線107bがT F Tアレイ基板表面上に露出した構造をとることによって、液晶表示装置の画面表示特性が悪化することが明らかになっている。

【0006】

具体的には、表面に露出した配線107bに対応した表示領域において、表示

色のにじみ等の画像表示ムラが観察されている。このような画面表示特性の悪化は液晶表示装置を製造した直後においてはほとんど観察されないものの、経年変化によって徐々に顕在化し、長期に渡って液晶表示装置を使用した場合には視認可能な程度にまで画面表示特性が劣化する。

【 0 0 0 7 】

走査線と接続された配線が表面に露出しない構造の液晶表示装置では、このような画面表示特性の劣化は観測されず、かかる劣化は、配線 1 0 7 b の存在に起因して生じるものと推定される。このため、特性の悪化を避ける観点からは走査線と接続された配線を T F T アレイ基板表面以外の内部領域に配設する構造とすることが好ましい。そのためには製造工程を増やさざるを得ないが、製造工程を増大させることは製造コストの観点から好ましいとはいえない。

【 0 0 0 8 】

本発明は、上記従来技術の欠点に鑑みてなされたものであって、製造工程上の負担を増加させることなく高い画面表示特性を維持できる画像表示素子及び画像表示装置を実現することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

上記目的を達成するため、本発明の画像表示素子は、基板内部に配設され、表示信号を供給する複数の信号線と、前記基板内部に配設され、走査信号を供給する複数の走査線と、所定の走査線と電氣的に接続され、前記基板表面上に露出した第 1 の表面配線構造と、前記基板表面上に露出し、前記第 1 の表面配線構造と最も近接し、かつ $5 \mu\text{m}$ 以上離隔して配設された第 2 の表面配線構造とを備えたことを特徴とする。

【 0 0 1 0 】

この発明によれば、第 1 の表面配線構造と第 2 の表面配線構造との間隔を $5 \mu\text{m}$ 以上としたため、第 1 の表面配線構造に付着する不純物イオンによって第 1 の表面配線構造と第 2 の表面配線構造との間が導通することを防ぐことができる。

【 0 0 1 1 】

また、本発明の画像表示素子は、基板内部に配設され、表示信号を供給する複

数の信号線と、前記基板内部に配設され、走査信号を供給する複数の走査線と、所定の走査線と電気的に接続され、前記基板表面上に露出された第 1 の表面配線構造と、前記基板表面上に露出され、該第 1 の表面配線構造近傍に配設された第 2 の表面配線構造と、該第 2 の表面配線構造及び前記第 1 の表面配線構造の少なくとも一方の表面を覆うよう配設された絶縁材料とを備えたことを特徴とする。

【 0 0 1 2 】

この発明によれば、第 1 の表面配線構造及び第 2 の表面配線構造の少なくとも一方の表面を絶縁材料で覆うことで、不純物イオンによって第 1 の表面配線構造および第 2 の表面配線構造との間が導通することを防ぐことができる。

【 0 0 1 3 】

また、本発明の画像表示素子は、前記第 2 の表面配線構造が、前記所定の走査線と異なる走査線の電位とほぼ等しい電位を有することを特徴とする。

【 0 0 1 4 】

この発明によれば、第 1 の表面配線構造および第 2 の表面配線構造が周囲の電位と大きく異なることとなり、双方に不純物イオンが付着することになるが、5 μ m 以上離隔させることで導通を防ぐことができる。

【 0 0 1 5 】

また、本発明の画像表示素子は、上記の発明において、前記基板に所定距離離隔して対向配置された対向基板をさらに備え、前記絶縁材料は、前記基板と前記対向基板との間隔を規定するスペーサであることを特徴とする。

【 0 0 1 6 】

また、本発明の画像表示素子は、上記の発明において、前記絶縁材料は、所定の光透過領域を備えた遮光膜であることを特徴とする。

【 0 0 1 7 】

また、本発明の画像表示素子は、第 1 の基板内部に配設され、表示信号を供給する複数の信号線と、前記第 1 の基板内部に配設され、走査信号を供給する複数の走査線と、前記走査線と電気的に接続され、前記第 1 の基板表面上に露出された表面配線構造と、前記第 1 の基板と所定間隔離隔して対向配置された第 2 の基板と、前記表面配線構造から 5 μ m 以上離隔して前記第 1 の基板上もしくは前記

第 2 の基板下面に載置され、前記第 1 の基板と前記第 2 の基板との間隔を規定するスペーサとを備えたことを特徴とする。

【 0 0 1 8 】

また、本発明の画像表示素子は、上記の発明において、前記スペーサは、遮光領域上に配設されていることを特徴とする。

【 0 0 1 9 】

また、本発明の画像表示素子は、上記の発明において、前記スペーサは、前記遮光領域上であって、前記表面配線構造から最も離隔した位置に配設されていることを特徴とする。

【 0 0 2 0 】

また、本発明の画像表示素子は、上記の発明において、所定の信号線から表示信号が供給される第 1 の画素電極及び第 2 の画素電極と、前記所定の信号線と前記第 1 の画素電極との間に配設され、かつ前記表示信号の供給を制御するゲート電極を備えた第 1 のスイッチング素子と、前記第 1 のスイッチング素子の前記ゲート電極と所定の走査線との間に配設される第 2 のスイッチング素子と、前記所定の信号線に接続され、かつ前記第 2 の画素電極への前記表示信号の供給を制御する第 3 のスイッチング素子とをさらに備えたことを特徴とする。

【 0 0 2 1 】

また、本発明の画像表示装置は、基板上に画素を $M \times N$ (M 、 N は任意の正の数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延び、前記基板内部に配設された複数の信号線と、前記走査線駆動回路から延び、前記基板内部に配設された複数の走査線と、所定の走査線と電氣的に接続され、前記基板表面上に露出した第 1 の表面配線構造と、前記基板表面上に露出し、前記第 1 の表面配線構造と最も近接し、かつ $5 \mu m$ 以上離隔して配設された第 2 の表面配線構造とを備えたことを特徴とする。

【 0 0 2 2 】

また、本発明の画像表示装置は、基板上に画素を $M \times N$ (M 、 N は任意の正の数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、

表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延び、前記基板内部に配設された複数の信号線と、前記走査線駆動回路から延び、前記基板内部に配設された複数の走査線と、所定の走査線と電氣的に接続され、前記基板表面上に露出された第 1 の表面配線構造と、前記基板表面上に露出され、該第 1 の表面配線構造近傍に配設された第 2 の表面配線構造と、該第 2 の表面配線構造の表面及び前記第 1 の表面配線構造の少なくとも一方の表面を覆うよう配設された絶縁材料とを備えたことを特徴とする。

【 0 0 2 3 】

また、本発明の画像表示は、前記第 2 の表面配線構造が、前記所定の走査線と異なる走査線の電位とほぼ等しい電位を有することを特徴とする。

【 0 0 2 4 】

また、本発明の画像表示装置は、基板上に画素を $M \times N$ (M 、 N は任意の正の数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延び、前記基板内部に配設された複数の信号線と、前記走査線駆動回路から延び、前記基板内部に配設された複数の走査線と、前記第 1 の基板内部に配設され、走査信号を供給するための複数の走査線と、前記走査線と電氣的に接続され、前記第 1 の基板表面上に露出された表面配線構造と、前記第 1 の基板と所定間隔離隔して対向配置された第 2 の基板と、前記表面配線構造から $5 \mu\text{m}$ 以上離隔して前記第 1 の基板上もしくは前記第 2 の基板下面に載置され、前記第 1 の基板と前記第 2 の基板との間隔を規定するスペーサとを備えたことを特徴とする。

【 0 0 2 5 】

また、本発明の画像表示装置は、上記の発明において、同一の信号線から表示信号が供給される第 1 の画素電極及び第 2 の画素電極と、前記所定の信号線からの表示信号の前記第 1 の画素電極への供給を制御し、かつ $n + 2$ 番目の走査線からの走査信号により駆動される第 1 のスイッチング素子と、前記 $n + 1$ 番目の走査線からの走査信号により駆動され、かつ前記第 1 のスイッチング素子のオン・オフを制御する第 2 のスイッチング素子と、前記所定の信号線からの表示信号の

前記第 2 の画素電極への供給を制御し、かつ前記 $n + 1$ 番目の走査線からの走査信号により駆動される第 3 のスイッチング素子とをさらに備えたことを特徴とする。

【 0 0 2 6 】

【発明の実施の形態】

以下、図面を参照して本発明にかかる画像表示装置について、液晶表示装置を例に説明する。図面の記載において、同一または類似部分には同一あるいは類似の符号、名称を付している。なお、図面は模式的なものであり、現実のものとは異なることに留意が必要である。また、図面の相互間においても、互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【 0 0 2 7 】

(実施の形態 1)

まず、実施の形態 1 にかかる液晶表示装置について説明する。本実施の形態 1 にかかる液晶表示装置は、複数の走査線を用いて一の画素を選択する構造のものを例として説明するが、これ以外でも走査線に導通した配線構造の一部が T F T アレイ基板表面上に露出した構造を有するあらゆる画像表示装置に対して本発明が適用可能であることはいうまでもない。

【 0 0 2 8 】

図 1 は、本実施の形態 1 にかかる液晶表示装置を構成する T F T アレイ基板の構造を示す模式図である。もちろん、液晶表示装置としては、T F T アレイ基板に対向するカラーフィルタ基板、バックライトユニット等他の要素を備える必要があるが、本発明における特徴部分ではないことからその説明を省略する。図 1 に示すように、T F T アレイ基板は、信号線 1 を介して表示領域 S 内に配置される画素電極に表示信号を供給、つまり電圧を印加するための信号線駆動回路 S D と、走査線 2 を介して薄膜トランジスタのオン・オフを制御する操作信号を供給する走査線駆動回路 G D とを備えている。表示領域 S 内には画素が $M \times N$ (M 、 N は任意の正の整数) の数だけマトリックス状に配列してある。

【 0 0 2 9 】

図 2 は、T F T アレイ基板における表示領域 S 内の一部構造を示す等価回路図

である。図 2 に示すように、信号線 D_m を挟んで隣接する画素電極 A_1 および画素電極 B_1 について、第 1 の薄膜トランジスタ M_1 、第 2 の薄膜トランジスタ M_2 および第 3 の薄膜トランジスタ M_3 と 3 つの薄膜トランジスタが以下のように配置される。

【 0 0 3 0 】

まず、第 1 の薄膜トランジスタ M_1 は、ソース電極が信号線 D_m に、ドレイン電極が画素電極 A_1 に接続している。また、第 1 の薄膜トランジスタ M_1 のゲート電極は第 2 の薄膜トランジスタ M_2 のソース電極に接続している。ここで、薄膜トランジスタは 3 端子を備えたスイッチング素子であり、液晶表示装置に用いる場合には信号線に接続する側をソース電極、画素電極に接続される側をドレイン電極と称するのが一般的であるが、逆に称する場合もあり、一義的に定まてはいない。そこで、以下の記載においては薄膜トランジスタを構成する 3 端子のうち、ゲート電極を除いた 2 端子について共にソース／ドレイン電極と称する。

【 0 0 3 1 】

次に、第 2 の薄膜トランジスタ M_2 は、その一方のソース／ドレイン電極が第 1 の薄膜トランジスタ M_1 のゲート電極に接続し、他方のソース／ドレイン電極が走査線 G_{n+2} に接続している。従って、第 1 の薄膜トランジスタ M_1 のゲート電極は、第 2 の薄膜トランジスタ M_2 を介して走査線 G_{n+2} に接続することとなる。また、第 2 の薄膜トランジスタ M_2 のゲート電極は走査線 G_{n+1} に接続している。従って、隣接する 2 本の走査線 G_{n+1} と G_{n+2} とが同時に選択電位になっている期間のみにおいて第 1 の薄膜トランジスタ M_1 がオンになり、信号線 D_m の電位が画素電極 A_1 に供給される。このことは、第 2 の薄膜トランジスタ M_2 が第 1 の薄膜トランジスタ M_1 のオン・オフを制御することを示唆している。

【 0 0 3 2 】

第 3 の薄膜トランジスタ M_3 は、一方のソース／ドレイン電極が信号線 D_m に接続し、他方のソース／ドレイン電極が画素電極 B_1 に接続している。また、第 3 の薄膜トランジスタ M_3 のゲート電極は走査線 G_{n+1} に接続している。従って、 G_{n+1} が選択電位になっている際に、第 3 の薄膜トランジスタ M_3 がオン

になり信号線D_mの電位が画素電極B₁に供給される。かかる配線構造は他の画素電極および薄膜トランジスタにおいても同様に成立する。

【0033】

次に、図1および図2に示す構造のTFTアレイ基板の動作について説明する。図3は、走査信号および表示信号のタイミングチャートであり、以下において図2および図3を適宜参照して動作について説明する。

【0034】

図3に示すD_m(1)及びD_m(2)は、信号線D_mにより供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。このD_m(1)及びD_m(2)は、極性、階調の変化を含んでいるものとする。従って、極性の変化ととらえれば、D_m(1)による動作の場合には画素電極A₁及び画素電極B₁の極性は異なり、画素電極A₁及び画素電極C₁の極性は同じになる。一方、D_m(2)による動作の場合は、画素電極A₁及び画素電極B₁の極性が同じになり、画素電極A₁及び画素電極C₁の極性は異なることになる。

【0035】

また、図3において、走査線G_n～G_{n+3}線図は、走査線G_nの選択、非選択を示している。具体的には、この線図が立ち上がっている部分は当該走査線が選択されていて、そうでない部分は当該走査線が非選択の状態を示している。

【0036】

走査線G_{n+1}と走査線G_{n+2}の両方が選択されてから走査線G_{n+2}が非選択電位になるまでの期間t₁には、第1の薄膜トランジスタM₁～第3の薄膜トランジスタM₃がオンされる。この期間t₁において、信号線D_mから画素電極A₁に与えるべき電位V_{1a}が供給される。これにより画素電極A₁の電位が決定される。

【0037】

そして、走査線G_{n+2}が非選択電位になった後に、信号線D_mから供給される電位がV_{1b}に変化し、かかる電位が画素電極B₁に与えられることで画素電極B₁の電位が決定される。図3に示すように、走査線G_{n+2}が非選択電位になった後の期間t₂において、走査線G_{n+1}を選択電位に維持することで、薄

膜トランジスタM1がオフされ、かつ薄膜トランジスタM3がオンされた状態となる。そのため、画素電極A1に対する電位の供給は停止する一方、画素電極B1に対しては引き続き信号線Dmから電位が供給され、画素電極B1の電位が決定される。

【0038】

そして、走査線Gn+1が非選択電位になった後の期間t3に、信号線Dmから供給される電位がV1cに変化し、走査線Gn+2が再び選択電位になると共に、走査線Gn+3が選択電位になる。これにより、画素電極C1、画素電極D1、および画素電極F2に対して信号線Dmから電位V1cが供給され、画素電極C1の電位が決定される。以下、順次選択電位となる走査線の切り替え及びこれに対応して信号線Dmの電位を切り替えることによって、信号線Dmを挟んで隣接する画素電極の電位が決定されていく。この後、信号線駆動回路SDの制御によって表示信号の供給元を信号線Dmから信号線Dm+1に切り替え、上記と同様に走査線の電位を順次切り替えることで信号線Dm+1を挟んで隣接する画素電極A2～画素電極F2の電位を決定していく。このような動作を繰り返すことによって表示領域S内に存在する画素電極すべての電位を決定し、TFTアレイ基板上に配設されている、例えば液晶層の電気光学効果によって画像を表示する。

【0039】

次に、図2に示す等価回路を実現する実際の配線構造について説明する。図4は、TFTアレイ基板を構成する表示領域Sの一部の配線構造について示す平面図である。図4において、例えば画素電極3を図2における画素電極C1とすると、画素電極4、薄膜トランジスタ6、5、7は、それぞれ図2における画素電極D1、第1の薄膜トランジスタM1、第2の薄膜トランジスタM2、第3の薄膜トランジスタM3に対応する。なお、蓄積容量8は、図4で示すように画素電極3と走査線9（図2における走査線Gn+1）とが重なり合った領域に形成されている。

【0040】

そして、薄膜トランジスタ5のソース/ドレイン電極と、薄膜トランジスタ6

のゲート電極とは、表面配線構造 1 0 を介して接続されており、表面配線構造 1 0 の近傍には走査線 9 と接続した表面配線構造 1 1 が配設されている。そして、本実施の形態 1 にかかる液晶表示装置では、表面配線構造 1 0 と表面配線構造 1 1 との間隔 L_1 は $5\mu\text{m}$ 以上離れた状態で配設されている。同様に、TFT アレイ基板表面上に露出した表面配線構造について、それぞれの間隔を $5\mu\text{m}$ 以上としている。本実施の形態 1 では、近接する表面配線構造同士の間隔を規定することによって、画面表示特性の劣化を抑制しているが、このことについては後に詳細に説明する。

【 0 0 4 1 】

図 5 は、図 4 に示す領域 D の断面構造を示す図である。図 5 に示すように、第 1 の薄膜トランジスタ M 1 は、水平方向に延伸した金属領域の一部をゲート電極 1 5 とし、順次ゲート絶縁膜 1 6、チャネル層 1 7 が積層され、チャネル層 1 7 上にはチャネル保護層 1 8、ソース／ドレイン電極 1 9、2 0 が積層され、表面が表面保護膜 2 1 によって覆われた構造を有する。同様に、第 2 の薄膜トランジスタ M 2 は、走査線 G_{n+1} (走査線 9) の一部をゲート電極 2 2 とし、順次ゲート絶縁膜 2 3、チャネル層 2 4 が積層され、チャネル層 2 4 上にチャネル保護層 2 5、ソース／ドレイン電極 2 6、2 7 が積層され、表面が表面保護膜 2 8 によって覆われた構造を有する。

【 0 0 4 2 】

そして、薄膜トランジスタ 6 のゲート電極 1 5 と、薄膜トランジスタ 5 のソース／ドレイン電極 2 6 との間を接続するため、表面配線構造 1 0 が TFT アレイ基板表面上に配設されている。同様に、薄膜トランジスタ 5 のソース／ドレイン電極 2 7 と走査線 1 2 との間を接続するため、表面配線構造 3 1 が TFT アレイ基板の表面上に配設されている。従来技術でも説明したように、製造工程を簡略化する観点からかかる接続構造を TFT アレイ基板内部で行うことは現時点では困難であるためである。かかる表面配線構造が存在することによって従来は画面表示特性の劣化が生じたため、本実施の形態 1 では、表面配線構造の間隔を $5\mu\text{m}$ 以上離れた構造を採用している。以下では、まず表面配線構造を有する従来の液晶表示装置の画面表示特性が劣化する理由を説明し、その後本実施の形態 1 に

かかる液晶表示装置が画面表示特性の劣化を抑制できることを説明する。

【 0 0 4 3 】

本願発明者等は、従来の液晶表示装置に関して、表面配線構造の存在による画面表示特性の劣化について研究した結果、原因の一つとして表面配線構造間で電流がリークしていることを突き止めている。図 6 (a) ~ 図 6 (c) は、間隔 L が $5 \mu m$ 未満の表面配線構造間でかかる電流リークが生じる様子を説明する模式図である。なお、図 6 において、説明を容易にするため表面配線構造 3 2 は所定の走査線に接続した構造を有し、表面配線構造 3 3 は走査線と接続していないものとするが、いずれの表面配線構造共にそれぞれ所定の走査線に接続した場合にも成立する。さらに、図 4 に示す表面配線構造 1 0、1 1 のように、表面配線構造 1 0 が薄膜トランジスタ 5 を介して走査線 1 2 に接続し、表面配線構造 1 1 が走査線 9 に直接接続する場合にも成立することはもちろんである。

【 0 0 4 4 】

一般に、 n チャネルの薄膜トランジスタをスイッチング素子として利用する液晶表示装置では、ゲート電極の電位は薄膜トランジスタをオフしている間には通常画素電極等の電位よりも低い値に維持される。薄膜トランジスタは画素電極に電位を供給する時点においてのみオンされるため、大部分の時間において薄膜トランジスタはオフ状態が維持され、ゲート電極の電位はオフ状態において低い値となり、ゲート電極の電位を制御する走査線の電位も低くなる。このことは、図 3 に示すタイミングチャートを参照すれば明らかであり、例えば、走査線 G_{n+2} の電位は、画素電極 A 1、画素電極 C 1 および画素電極 D 1 の電位を決定する際にのみ選択電位となり、それ以外の期間においては、次フレームで再び同じ画素を選択するまで非選択電位を維持している。

【 0 0 4 5 】

そのため、液晶層に不純物が混入し、かかる不純物がイオン化して陽イオンを形成した場合、周囲に比して電位が低く、相対的に負の電位となるゲート電極に接続した表面配線構造 3 2 に陽イオンが引き寄せられ、かかる陽イオンが表面配線構造 3 2 あるいは表面配線構造に接触する配向膜に付着することでイオン層 3 4 を形成する (図 6 (a))。そして、液晶表示装置の電源がオフになっている

間は表面配線構造 3 2 の電位が周囲と同等になるため、一旦形成されたイオン層 3 4 は T F T アレイ基板表面上で拡散する（図 6（b））。その後、長期に渡って液晶表示装置を使用することで図 6（a）および図 6（b）に示す状態が繰り返され、表面配線構造 3 2 およびその周辺領域にイオン層が徐々に拡大する。最後は、本来絶縁されている表面配線構造 3 2 と表面配線構造 3 3 との間がイオン層 3 4 によって導通し、表面配線構造間に電流が流れる。

【 0 0 4 6 】

表面配線構造 3 2 と表面配線構造 3 3 との間にリークパスが生じることで、走査線および信号線によって供給される電位は所望の値から変化することとなり、その結果、画素電極に書き込む電荷の量が所望の値よりも低くなる。このため、かかる画素電極に対応した表示領域において色のにじみ等が観察されるようになり、画面表示特性が悪化することとなる。

【 0 0 4 7 】

このことは、表面配線構造を有する液晶表示装置において、製造当初は不純物の混入を抑制しているにも関わらず、製造から長期間経過するに従って徐々に液晶層に不純物が浸入する事実とも符合する。また、画面表示特性の悪化が画面表示領域の周縁部において顕著に現れることも、不純物が画面表示領域周縁部から浸入する事実と符合している。

【 0 0 4 8 】

不純物イオンに起因した電流リークを防止するためには、表面配線構造間の間隔を所定距離以上離すことが有効であり、本実施の形態 1 においては、図 4 にも示すように表面配線構造間の間隔を $5\mu\text{m}$ 以上としている。表面配線構造間の距離を $5\mu\text{m}$ 以上としたのは、本願発明者等が行った測定に基づくものである。本願発明者等は、表面配線構造間の距離以外の条件を同一とし、表面配線構造間の最短間隔を $6\mu\text{m}$ 、 $10\mu\text{m}$ として加速試験を行った。その結果、最も近接した表面配線構造間の距離を $6\mu\text{m}$ とした液晶表示装置では、若干の画面表示特性の劣化は観察されたものの、実用上問題ない程度にまで抑制することができた。また、表面配線構造間距離を $10\mu\text{m}$ とした液晶表示装置では、画面表示特性の劣化は観察されず、良好な画面表示特性を維持することができた。このため、最も

近接した表面配線構造間の距離を $5\mu\text{m}$ 以上とすることで、近接する表面配線構造間に電流リークが生じることによる画面表示特性の劣化を抑制できるものと推測される。

【0049】

かかる構造は、設計段階における表面配線構造の位置を調整することで容易に実現することができる。すなわち、表面配線構造をTFTアレイ基板内部に設ける構造とするためには製造工程が複雑化するが、表面配線構造の位置を調整することによって製造工程が複雑化することはない。本実施の形態1にかかる液晶表示装置は、設計に従ってマスクパターンを変更する以外は、従来と同様の工程を行うことで製造が可能である。従って、本実施の形態1にかかる液晶表示装置は、製造工程上の負担を増加させることなく、長期の使用に対して高い画面表示特性を維持することができる。

【0050】

(実施の形態2)

次に、実施の形態2にかかる液晶表示装置について説明する。実施の形態2にかかる液晶表示装置は、近接する複数の表面配線構造について、少なくとも一方の表面配線構造を絶縁性の物質で覆うこととしている。なお、実施の形態1と同様に、本実施の形態2にかかる液晶表示装置は、図1～図3に示す構造の液晶表示装置を例にして説明するが、かかる構造以外の画像表示装置一般に対して適用することが可能である。

【0051】

画像表示装置を形成するTFTアレイ基板の表面における電流リークを抑制するためには表面配線構造の上にあらたに絶縁膜を積層する構造としても良いが、製造工程数の増加を抑制する観点からは他にも好ましい構造が存在する。なお、以下の説明において近接する表面配線構造は、互いの間隔が $5\mu\text{m}$ 以下の表面配線構造の対とする。既に説明したように、 $5\mu\text{m}$ 以上離隔していれば画面表示特性が維持できるため、絶縁性の物質で覆う必要は必ずしもないためである。ただし、このことは本発明が $5\mu\text{m}$ 以上離隔した表面配線構造の対に対して、少なくとも一方を絶縁性の物質で覆う構造を排除する意図でないことはもちろんである。

【 0 0 5 2 】

絶縁性の物質で覆う構造の一例として、表面配線構造の上にスペーサを載置することによって表面配線構造を覆うことで、表面配線構造を液晶層から隔離するものが挙げられる。スペーサは、元来TFTアレイ基板と対向配置された対向基板との間の距離を規定し、液晶層の厚みを一定に維持するためのものであるが、表面配線構造を覆うように載置することによって、画面表示特性の劣化を抑制する機能を果たすことができる。

【 0 0 5 3 】

図7は、表面配線構造上にスペーサを載置した構造を示す模式図である。図7に示すように、少なくとも一方が所定の信号線に接続し、互いに近接する表面配線構造38、39の一方に対してスペーサ35を載置して、表面配線構造38と液晶層36とが直接接触しない構造とすることが好ましい。かかる構造を採用することで、液晶層36内に不純物イオンが存在し、かつ表面配線構造が他よりも低い電位となる場合であっても、表面配線構造に不純物イオンが付着することはなく、不純物イオンを介して近接する他の表面配線構造との間で電流リークが生じることを防ぐことができ、画面表示特性の悪化を抑制できるという利点を有する。

【 0 0 5 4 】

スペーサは、TFTアレイ基板と対向基板との間の間隔を規定するという観点から従来の液晶表示装置にも備えられている。このため、スペーサを配置することで製造工程上の負担が増すことはなく、図7の構造は、スペーサ35の位置を調整することのみで実現することができる。従って、図7に示すような、近接する表面配線構造の少なくとも一方の表面配線構造38上にスペーサ35を載置した構造を備えた液晶表示装置は、製造工程上の負担を増すことなく高い画面表示特性を維持することが可能である。

【 0 0 5 5 】

なお、図7の例において用いるスペーサは、支柱形の柱状スペーサを用いることが好ましい。いわゆる柱状スペーサは、対向基板若しくはTFTアレイ基板内

表面全体に渡って所定の材料による成膜を行った後、フォトリソグラフィ法等を行うことによって形成される。そのため、マスクパターンを調整することで、表面配線構造上にスペーサが載置される構造を容易に実現することができる。もっとも、本発明においてフォトリソグラフィ法以外の方法によって形成される柱状スペーサの使用を否定するものではなく、載置する位置の制御が可能なスペーサであれば、フォトリソグラフィ法以外の方法のものを用いても画面表示特性の劣化を抑制することが可能である。また、柱状スペーサをカラーフィルタの色材によって形成することも可能であり、上記構造とカラーフィルタの色材とによって形成することも可能である。これらの構造によって柱状スペーサを形成した場合であっても、表面配線構造上に柱状スペーサを載置することで電流リークの発生を抑制することが可能である。

【 0 0 5 6 】

また、電流リークの発生を抑制する他の例として、遮光膜をTFTアレイ基板上に配設する構造を採用することも有効である。遮光膜は、表示画像のコントラストの向上、薄膜トランジスタのチャネル層への外光照射の防止等の観点から設けられるものであって、通常は対向基板上に配設される。かかる遮光膜をTFTアレイ基板上に配設することによって画面表示特性の劣化を抑制することができる。

【 0 0 5 7 】

図8は、遮光膜42をTFTアレイ基板上に配設した構造を示す模式図である。遮光膜42は、画素電極43に対応した領域に開口部を備え、これ以外の領域における光の透過を防止するためのものである。図4でも示したように、表面配線構造は隣接画素電極間に配設されることから、図8において表面配線構造40、41は遮光膜42によって覆われ、液晶層から隔離される。従って、表面配線構造40、41上に不純物イオンが付着することが防止され、電流リークが防止される。このため、画素電極43に与えられる電位の変動を抑制することができる。

【 0 0 5 8 】

図9(a)～図9(d)は、TFTアレイ基板上に遮光膜を形成する工程の一

例について示す図である。まず、図9（a）に示すように、画素電極、表面配線構造等を形成したTFTアレ基板表面上に、所定の材料をスパッタリング法等によって一様に成膜し、絶縁層44を形成する。

【0059】

そして、図9（b）に示すように、絶縁層44上にスピンコート法等を用いてフォトレジスト層45を塗布した後、画素電極43に対応した領域に開口部を備えたパターンを用いて露光し、現像を行って図9（c）に示すようなマスクパターン46を形成する。

【0060】

その後、図9（d）に示すように、マスクパターン46を用いて絶縁層44に対してエッチングを行うことで、遮光膜42を形成する。そして、遮光膜42上に残存するマスクパターン46を除去し、図8に示す構造を得ることができる。なお、遮光性のある絶縁層自体をフォトレジストによって形成することも可能であり、この場合、図9（a）および図9（d）に示す工程を省くことも可能である。

【0061】

図9（a）～（d）に示した工程は、成膜対象となる基板が異なる以外の点では従来の液晶表示装置の製造工程と同様であるため、図8に示す構造を実現するためには従来の製造装置を流用することが可能である。また、図8に示すようにTFTアレ基板の上に遮光膜42を配設した場合には、通常対向基板の上に配設される遮光膜を必要としないため、全体としては製造工程数を増やすことなく画像表示特性の劣化を抑制することができる。

【0062】

（実施の形態3）

次に、実施の形態3にかかる液晶表示装置について説明する。なお、本実施の形態3においても複数の走査線を用いて一の画素を選択する構造のものを例として説明するが、これ以外の構造であっても表面配線構造を有するものであれば本発明を適用可能であることは実施の形態1と同様である。

【0063】

本願発明者等は、近接した表面配線構造間の電流リークによる画像表示特性の劣化の他に、T F T アレイ基板上に露出した表面配線構造と、対向基板上に配設された電極、例えば共通電極との間でも電流リークが生じうることを見いだしている。以下では、まず、かかる電流リークが生じる理由について説明し、その後、電流リークを抑制する構造について説明する。

【 0 0 6 4 】

図 1 0 は、従来の液晶表示装置の断面構造を示す模式図である。T F T アレイ基板の表面上には表面配線構造 4 7 が配設され、T F T アレイ基板に対向して配置されかつ表面に共通電極 4 8 を備えた対向基板 4 9 が配設されている。そして、T F T アレイ基板と対向基板 4 9 との間には液晶層 5 0 が封入され、T F T アレイ基板と対向基板 4 9 との間の間隔を規定するためにスペーサ 5 1 が配置されている。

【 0 0 6 5 】

従来の液晶表示装置は、T F T アレイ基板と対向基板 4 9 との間隔を規定するスペーサ 5 1 の配置について特に考慮しておらず、また、球状スペーサを用いた場合にはそもそもスペーサの位置を制御できなかった。そのため、従来の液晶表示装置では、図 1 0 に示すように、表面配線構造 4 7 とスペーサ 5 1 とが接触する場合があった。ここで、スペーサ 5 1 自体は、シリカ系の材料等によって形成されるために導電性を有さないが、長期の使用によってスペーサ 5 1 の表面、あるいはその表面に付着している配向膜の表面に付着または不純物イオンの吸着が起こることが知られている。そのため、図 1 1 に示すように、吸着されたイオンが導電層 5 1 a を形成して表面配線構造 4 7 と共通電極 4 8 との間が導通し、リーク電流が流れることとなる。既に説明したように、長期に渡って使用した場合には不純物が液晶層中に徐々に浸入して不純物イオンが発生するため、かかる不純物イオンがスペーサ 5 1 に吸着して電流リークが発生することで、画像表示特性の劣化が生じる。従って、本実施の形態 3 にかかる液晶表示装置では、表面配線構造とスペーサとの間の位置関係を規定することによって、表面配線構造 4 7 と共通電極 4 8 との間の電流リークを抑制している。

【 0 0 6 6 】

図 1 2 は、本実施の形態 3 にかかる液晶表示装置について、T F T アレイ基板および T F T アレイ基板上に載置されるスペーサの位置を示す平面図である。本実施の形態 3 にかかる液晶表示装置は、走査線に接続若しくは走査線と同等の電位を有する表面配線構造 5 2 とスペーサ 5 4 の間隔 L_2 を $5 \mu m$ 以上とし、表面配線構造 5 3 とスペーサ 5 5 との間隔についても $5 \mu m$ 以上としている。

【 0 0 6 7 】

表面配線構造とスペーサとの間隔を $5 \mu m$ 以上としたのは、実験結果に基づくものである。本願発明者等は、表面配線構造とスペーサとの間隔を $0 \mu m$ 、 $6 \mu m$ 、 $16 \mu m$ とした液晶表示装置に対して加速試験を行ったところ、間隔を $0 \mu m$ とした液晶表示装置では明らかに画像表示特性の劣化が観察された。一方、間隔を $6 \mu m$ とした液晶表示装置では若干の画像表示特性の劣化が観察されたものの、実用上問題ない程度に画像表示特性の劣化を抑制することができ、 $16 \mu m$ とした液晶表示装置では画像表示特性の劣化を観察することはできなかった。このため、本願発明者等は画面表示特性の劣化を抑制できる間隔について $5 \mu m$ 以上としている。

【 0 0 6 8 】

上記したような位置にスペーサを配設するため、本実施の形態 3 では、スペーサとして柱状スペーサを用いている。既に述べたように、柱状スペーサを用いた場合にはスペーサの位置を精度良く制御することが可能であり、表面配線構造とスペーサとの間隔を所望の値に設定することができるためである。

【 0 0 6 9 】

なお、スペーサの位置は、遮光領域上であることが好ましい。ここで、遮光領域とは、T F T アレイ基板に対して入力される光が透過しない領域をいう。図 1 2 にも示すように、スペーサ 5 4、5 5 が載置された領域には走査線 9 が配置され、かかる信号線は遮光性の金属層によって形成されているため、T F T アレイ基板に対して入力された光は遮蔽され、透過することがない。

【 0 0 7 0 】

次に、スペーサ 5 4、5 5 を遮光領域上に載置する構造とした理由について説明する。T F T アレイ基板上には図示を省略した配向膜が配設されており、一般

にはかかる配向膜によって液晶層を形成する液晶分子の配向を規定している。液晶分子の配向を規定するため、配向膜にはラビング等の処理が施されているが、スペーサ近傍において配向膜表面の分子構造に乱れが生じ、さらには液晶分子の配向に乱れが生じる場合がある。これにより、スペーサが光透過領域上に載置された場合には上記の電流リークとは異なる理由で画面表示特性が劣化する場合があるため、画面表示特性の劣化の可能性を低減する観点からは、スペーサを遮光領域上に載置することが好ましい。

【 0 0 7 1 】

なお、T F T アレイ基板の構造を工夫することで、スペーサを走査線 9 上以外の領域に載置することも可能である。図 1 3 は、T F T アレイ基板および T F T アレイ基板上に載置されるスペーサの構造の変形例を示す平面図である。図 1 3 に示すように、変形例では、画素電極 5 6、5 7 は矩形形状を有し、画素電極 5 6、5 7 よりも下層に設けられた容量線 5 8 が設けられた構造を有する。そして、容量線 5 8 と画素電極 5 6、5 7 とが重なり合う領域において蓄積容量が形成されており、容量線 5 8 上にスペーサ 5 9、6 0 が載置された構造を有している。

【 0 0 7 2 】

容量線 5 8 は、信号線と同様に遮光性を有する金属層によって形成されており、図 1 3 に示す T F T アレイ基板に対して入力される光は容量線 5 8 を配設した領域では遮蔽されている。従って、スペーサ 5 9、6 0 が画素電極 5 6、5 7 上に載置されているにもかかわらず、液晶分子の配向の乱れによって画像表示特性が悪化することはない。

【 0 0 7 3 】

また、図 1 2 と図 1 3 を比較すると明らかなように、変形例では、表面配線構造とスペーサとの間隔を大きな値とすることができる。このため、図 1 3 に示す構造をとることで電流リークによる画像表示特性の悪化をより効果的に抑制することができる。

【 0 0 7 4 】

なお、第 2 の変形例として、画素電極と信号線とが重なり合う領域を有し、か

つ容量線を有する構造も有効である。図 1 4 は、画素電極 3、4 が走査線 9 と重なり合う領域を備えると共に容量線 5 8 を備えた構造について示す平面図である。図 1 4 に示すように、画素電極は走査線 9 および容量線 5 8 と重なり合うため、蓄積容量を増大させることができる。このため、画素電極の電位の変動をさらに避けることができ、画素電位を精度良く制御することができる。これは、画質上大いなる優位点となり、高品質の画像を提供することができる。なお、図 1 4 に示す T F T アレイ基板においても、図 1 2 および図 1 3 の例と同様に、スペーサを表面配線構造から離隔して配置することが可能である。そのため、対向基板表面上に設けられた共通電極と、表面配線構造との間の電流リークを抑制することができ、画面表示特性の劣化を抑制することができる。

【 0 0 7 5 】

以上実施の形態 1 乃至実施の形態 3 によって本発明を説明したが、本発明はこれら実施の形態に限定されるのではなく、当業者であれば上記実施の形態に基づいて様々な実施例、変形例に想到することが可能である。例えば、T F T アレイ基板における回路配線について、図 2 では 1 本の信号線を挟んで隣接する画素電極に対して同一の信号線および複数の走査線によって電位を与える構造を採用している。しかし、本発明の適用対象はかかる配線構造に限定されるのではなく、複数の表面配線構造を有するものであれば駆動方式および配線構造に関係なく本発明を適用することができる。

【 0 0 7 6 】

また、実施の形態 2 において表面配線構造上を絶縁材料によって覆う例について説明したが、絶縁材料を載置する表面配線構造は隣接する表面配線構造の一方のみでなく双方としても良い。さらに、走査線に接続する表面配線構造と走査線と接続しない表面配線構造とが近接する場合であっても、いずれか一方を絶縁材料で覆うことで電流リークを抑制できることから、かかる構造も画面表示特性の劣化を抑制する観点から有効である。

【 0 0 7 7 】

さらに、実施の形態 3 で説明した電流リークを抑制するために、実施の形態 1 で示した構造を採用することも有効である。例えば、遮光膜を T F T アレイ基板

上に配設する構造を用いた場合には、遮光膜上に載置されたスペーサと表面配線構造とは電氣的に絶縁されることとなる。そのため、スペーサの表面に不純物イオンが吸着された場合であっても、対向基板に配設された共通電極と表面配線構造とが導通することはなく、近接する表面配線構造間の電流リークのみならず、共通電極と表面配線構造との間における電流リークも併せて抑制することができる。

【 0 0 7 8 】

また、実施の形態 1 ～実施の形態 3 で示した構造を組み合わせることも有効である。例えば、表面配線構造の間隔を $5 \mu\text{m}$ 以上離隔した配線構造とすると共に表面配線構造とスペーサとの間隔を $5 \mu\text{m}$ 以上とすることで、表面配線構造間の電流リーク及び表面配線構造と対向基板に配設された共通電極との間の電流リークを抑制することが可能となる。そのため、かかる構造を採用することで、画面表示特性の劣化をより効果的に抑制することができる。

【 0 0 7 9 】

【発明の効果】

以上説明したように、本発明によれば、表面配線構造を備えた画像表示素子および画像表示装置において、かかる表面配線構造の存在による電流リークを抑制し、製造工程上の負担を増加させることなく高い画面表示特性を維持することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

実施の形態 1 における TFT アレイ基板の構造を示す模式図である。

【図 2】

図 1 に示す表示領域 S の配線構造を示す等価回路図である。

【図 3】

実施の形態 1 にかかる液晶表示装置の動作を示すタイミングチャートである。

【図 4】

図 2 に示す等価回路の実際の構造を示す平面図である。

【図 5】

図 4 に示す領域 D における断面構造を示す断面図である。

【図 6】

(a) ~ (c) は、従来の液晶表示装置において生じる電流リークを説明するための模式図である。

【図 7】

実施の形態 2 にかかる液晶表示装置について示す図である。

【図 8】

実施の形態 2 にかかる液晶表示装置の変形例について示す図である。

【図 9】

(a) ~ (d) は、TFT アレイ基板上に遮光膜を配設する工程について説明するための図である。

【図 10】

従来の液晶表示装置における表面配線構造とスペーサとの位置関係を説明する断面図である。

【図 11】

従来の液晶表示装置において、表面配線構造と共通電極との間に生ずる電流リークを説明するための図である。

【図 12】

実施の形態 3 にかかる液晶表示装置において、TFT アレイ基板および TFT アレイ基板上に載置するスペーサの配置について説明するための平面図である。

【図 13】

実施の形態 3 にかかる液晶表示装置の変形例について示す平面図である。

【図 14】

実施の形態 3 にかかる液晶表示装置の別の変形例について示す平面図である。

【図 15】

(a) ~ (e) は、従来の液晶表示装置において、TFT アレイ基板を製造する工程を示した図である。

【符号の説明】

1 信号線

- 2 走査線
- 3 画素電極
- 4 画素電極
- 5、6 薄膜トランジスタ
- 8 蓄積容量
- 9、12 走査線
- 10、11 表面配線構造
- 15、22 ゲート電極
- 16、23 ゲート絶縁膜
- 17、24 チャネル層
- 18、25 チャネル保護層
- 19、20、26、27 ソース／ドレイン電極
- 21、28 表面保護膜
- 29、44 絶縁層
- 31～33 表面配線構造
- 34 イオン層
- 38 表面配線構造
- 42 遮光膜
- 43 画素電極
- 45 フォトレジスト層
- 46 マスクパターン
- 47 表面配線構造
- 48 共通電極
- 49 対向基板
- 50 液晶層
- 52、53 表面配線構造
- 54、55 スペーサ
- 56、57 画素電極
- 58 容量線

59 スペーサ

A1～F2 画素電極

D 領域

D_m～D_{m+1} 信号線

GD 走査線駆動回路

G_n～G_{n+3} 走査線

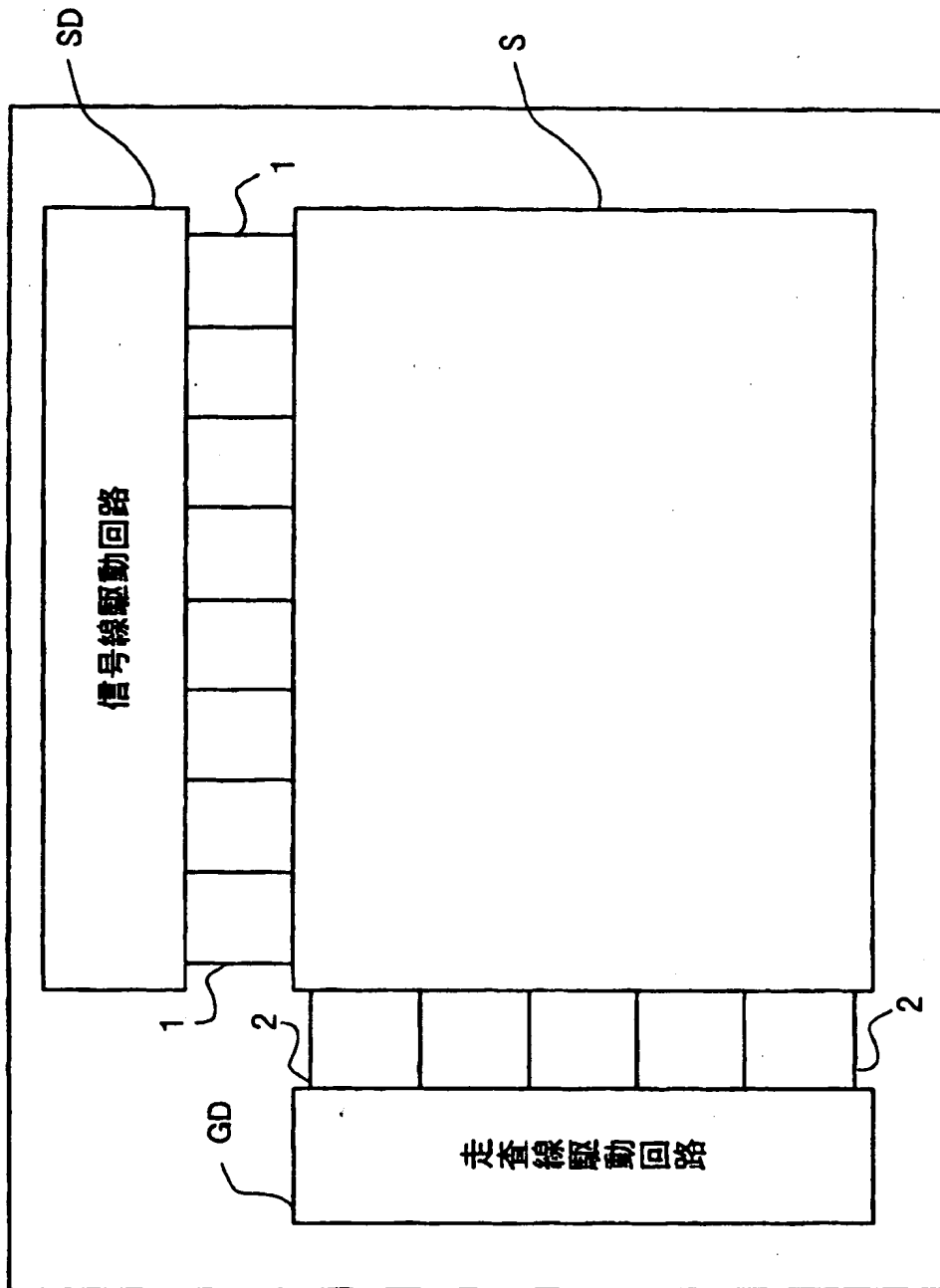
M1～M3 薄膜トランジスタ

S 表示領域

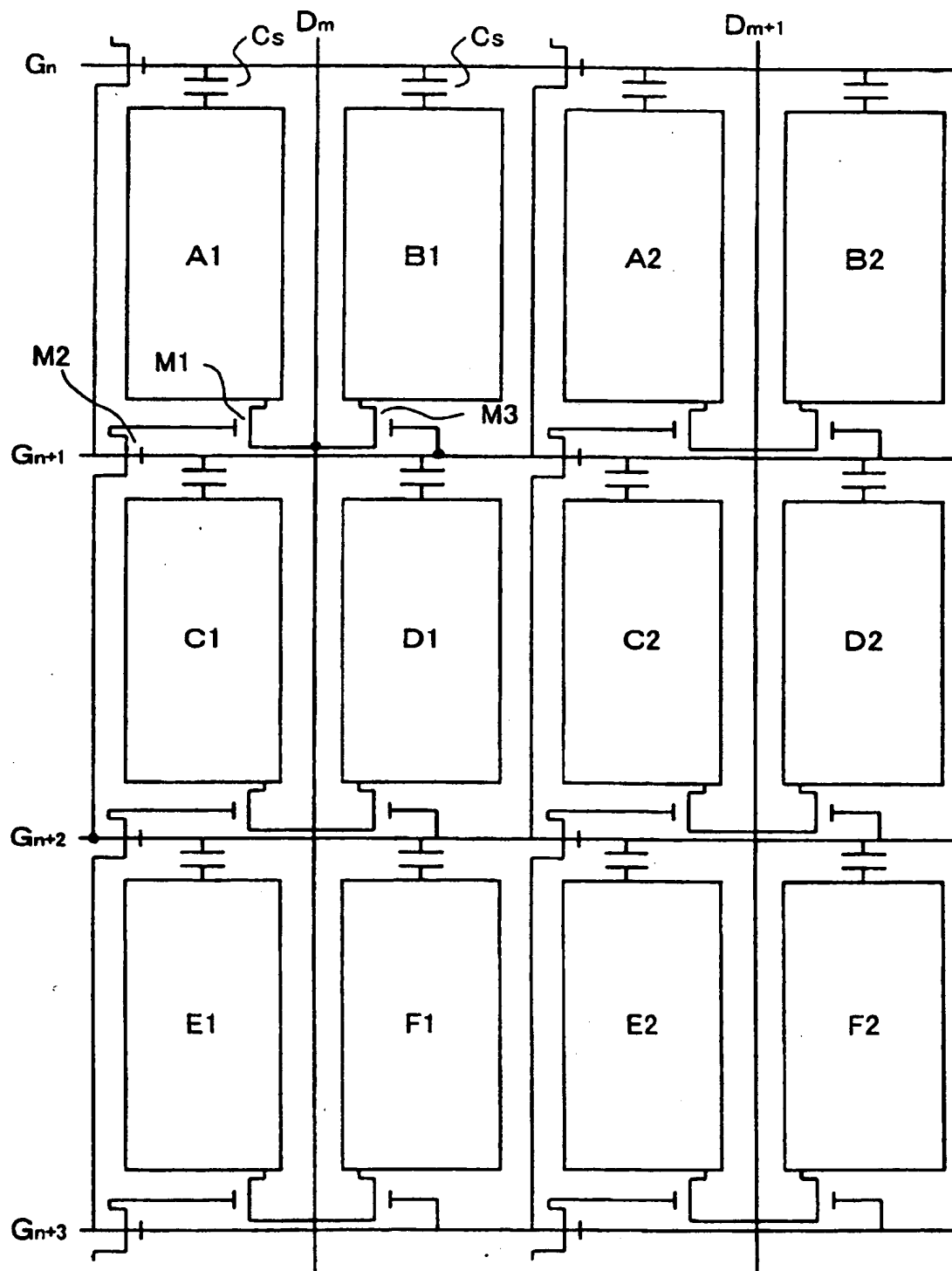
SD 信号線駆動回路

【書類名】 図面

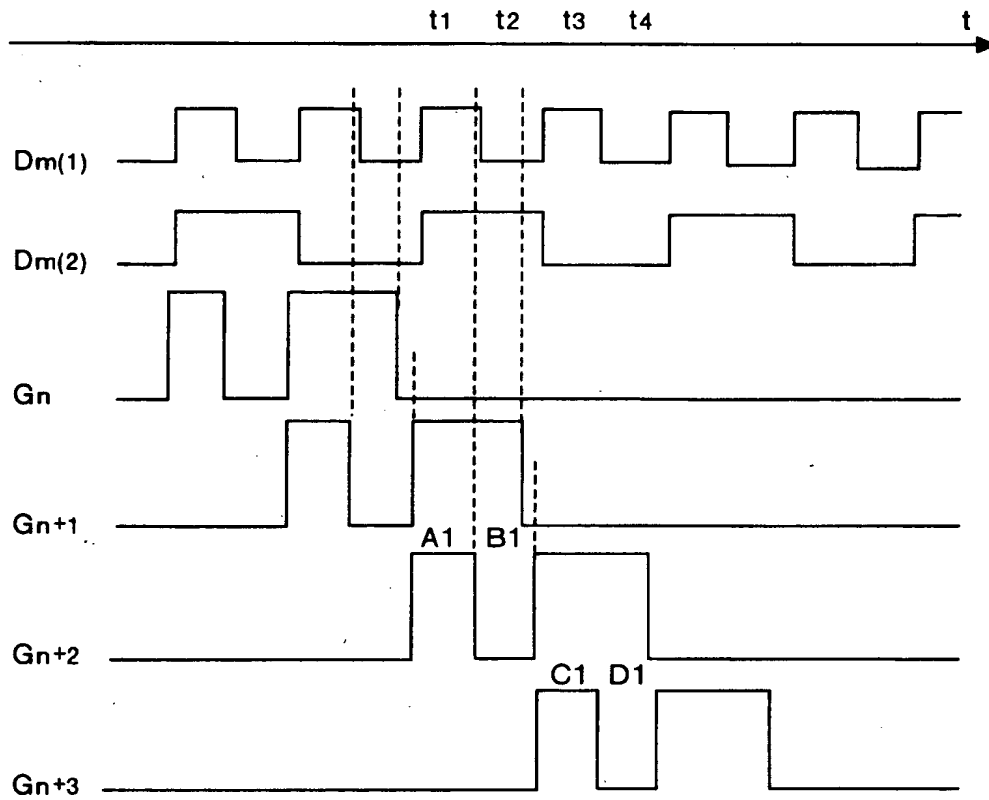
【図 1】



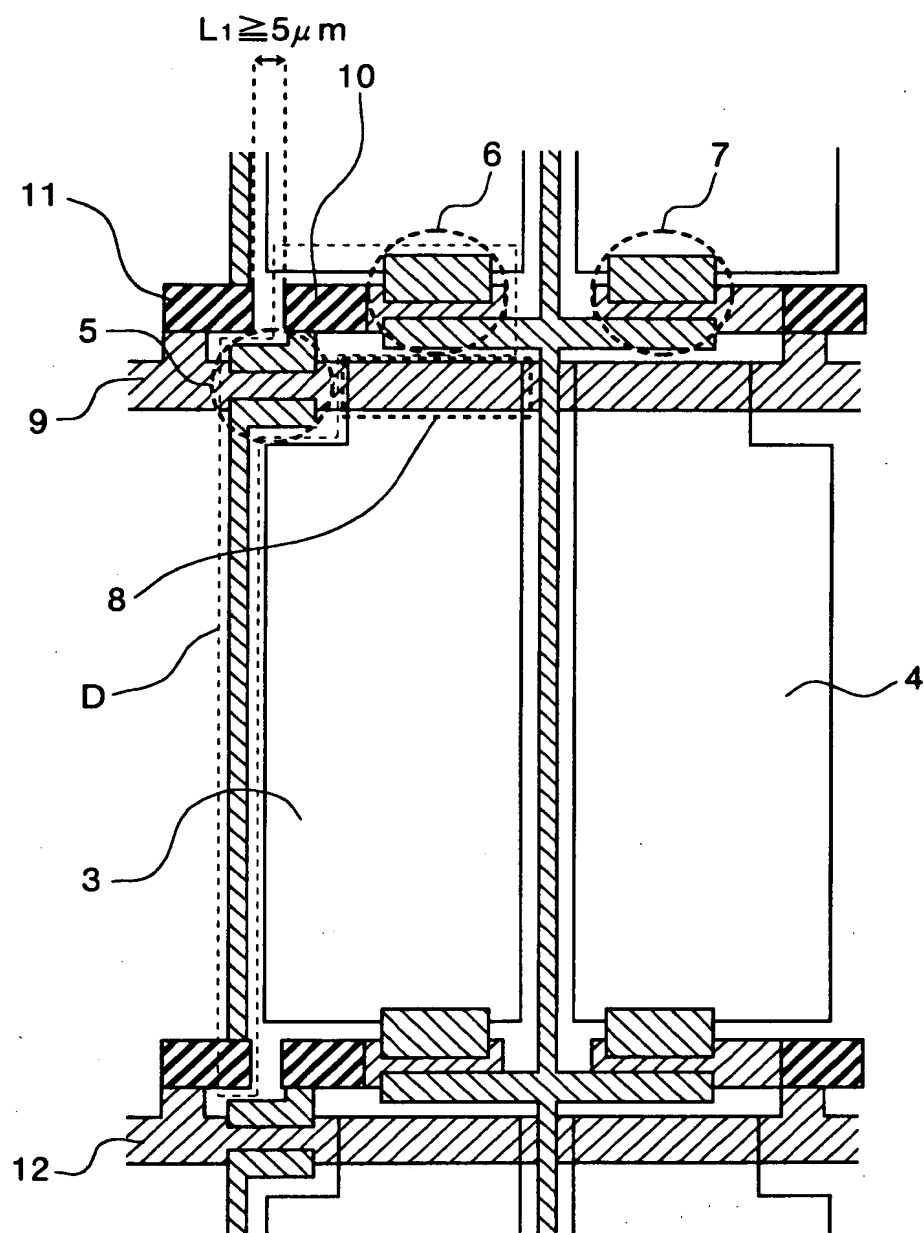
【図 2】



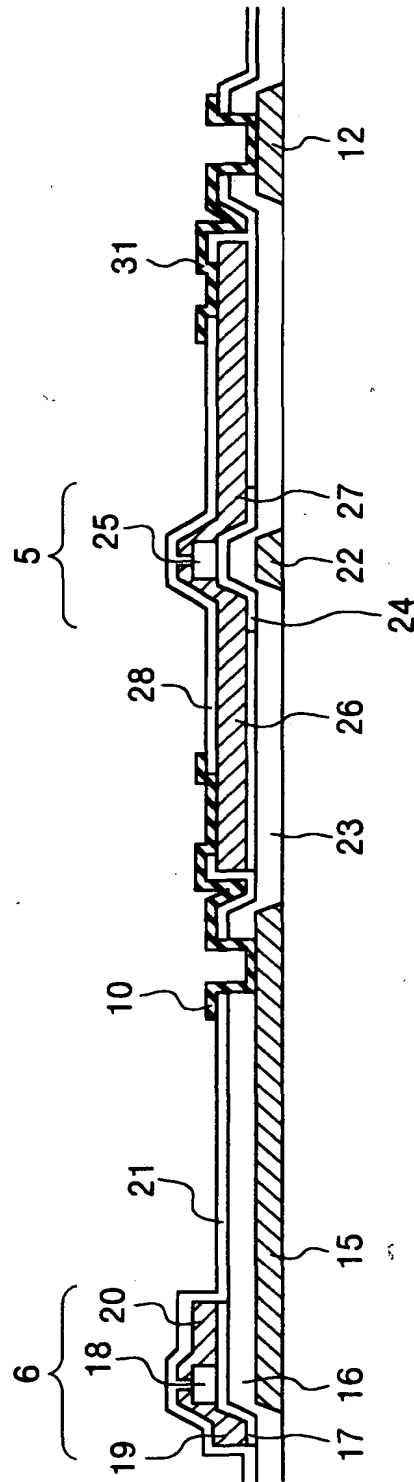
【図 3】



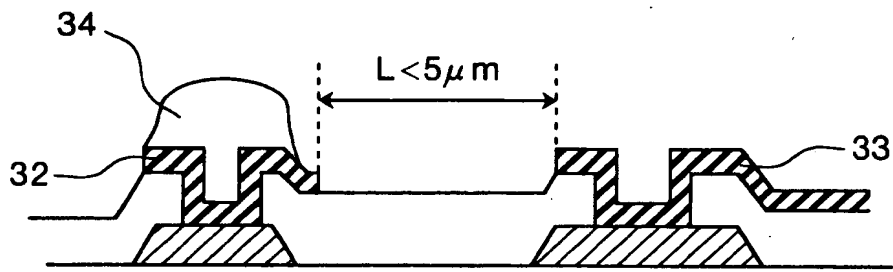
【図 4】



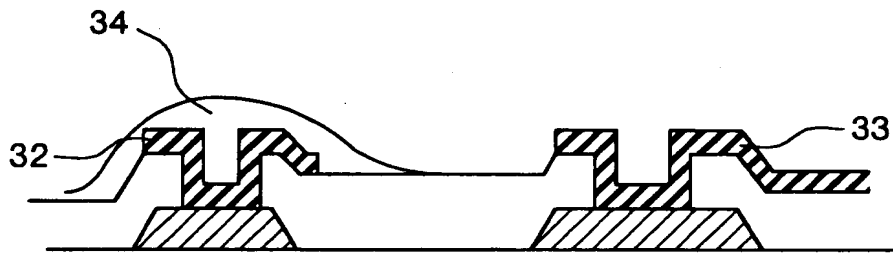
【図5】



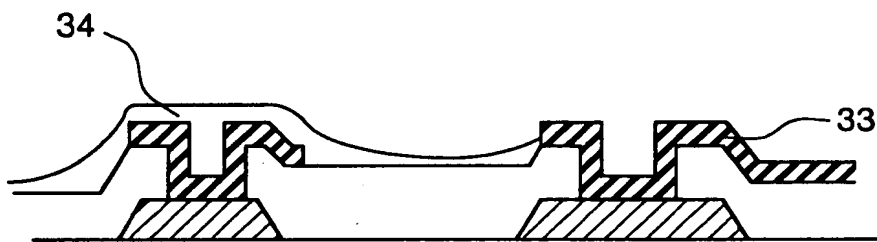
【図 6】



(a)

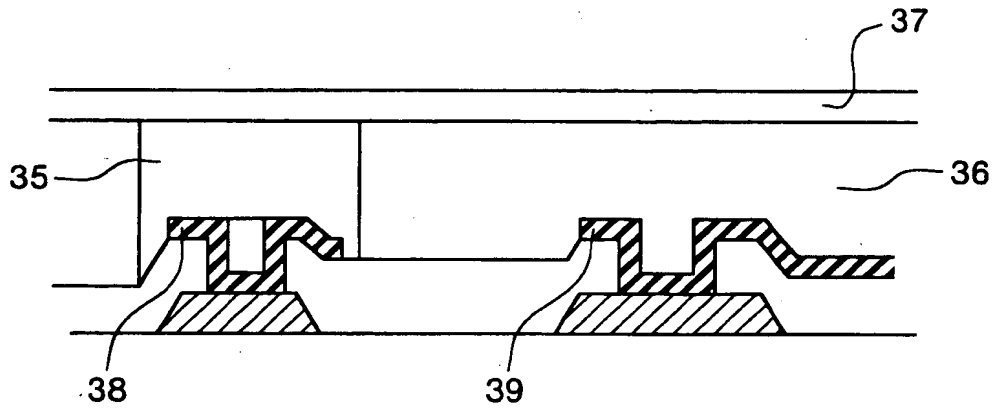


(b)

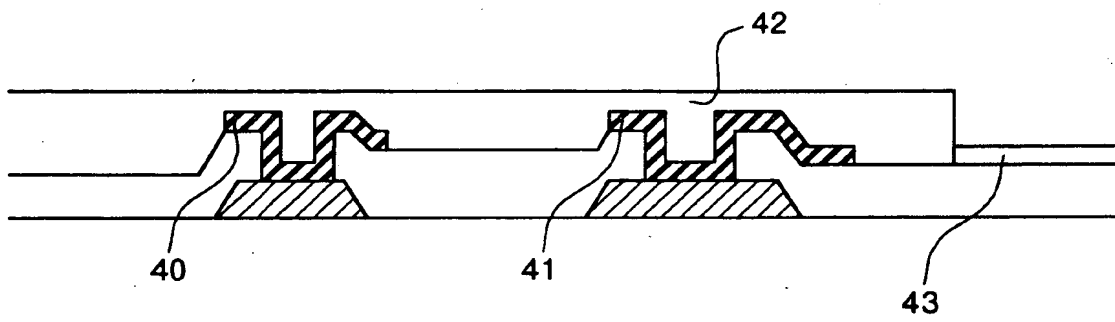


(c)

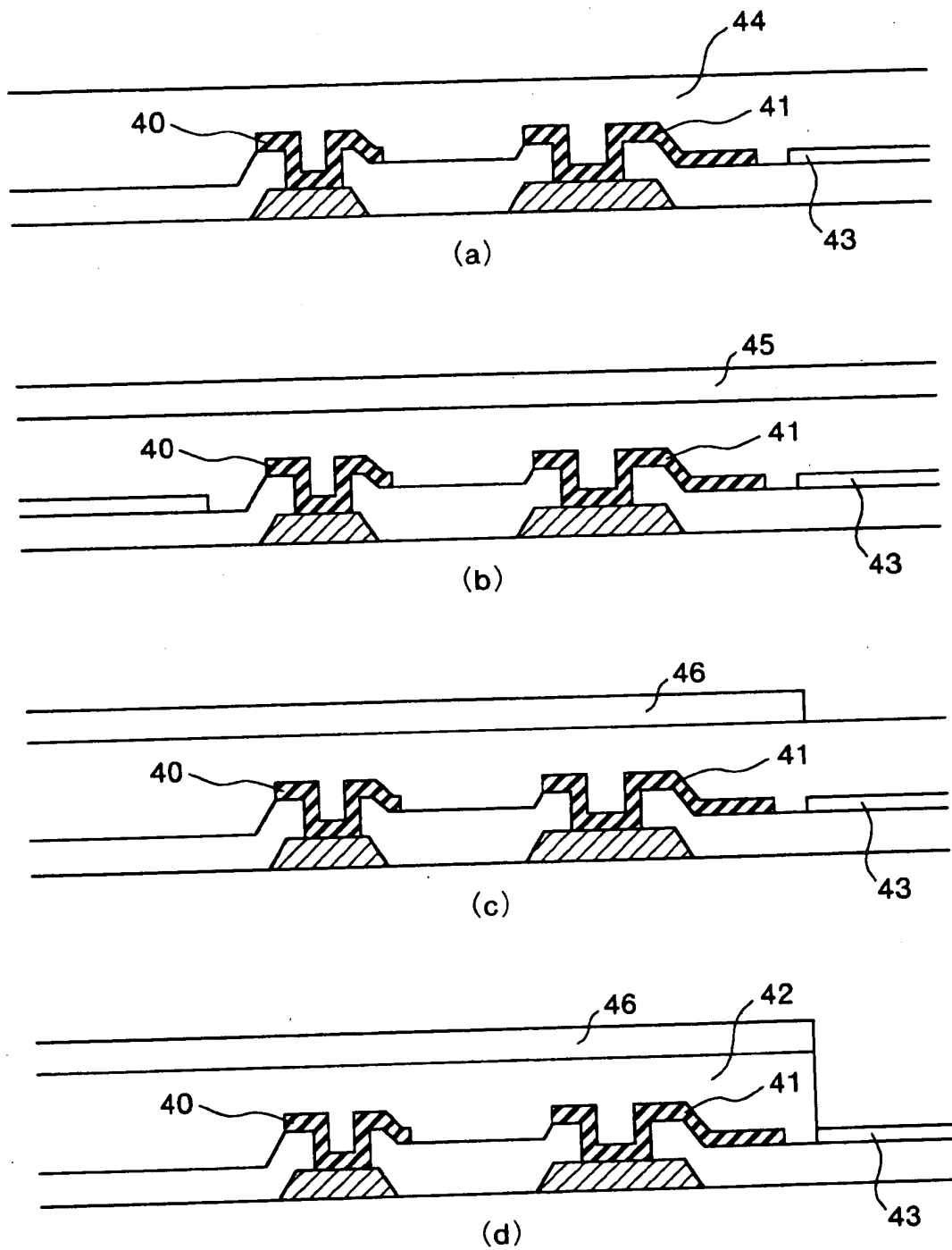
【図 7】



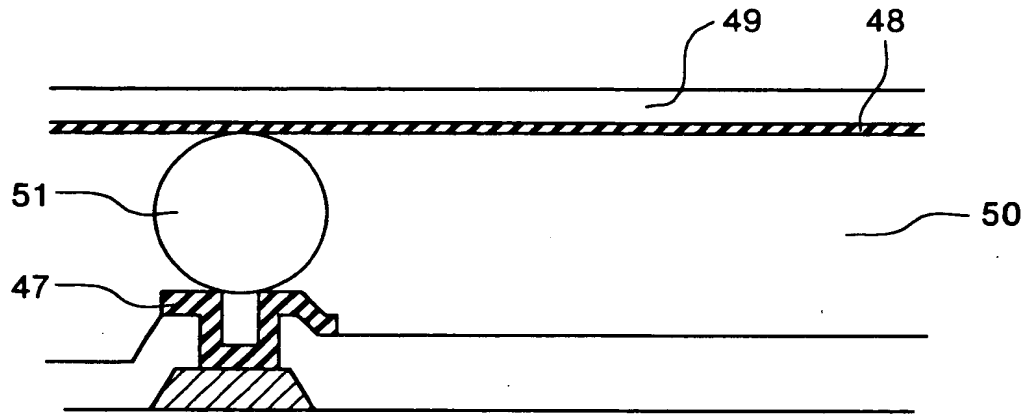
【図 8】



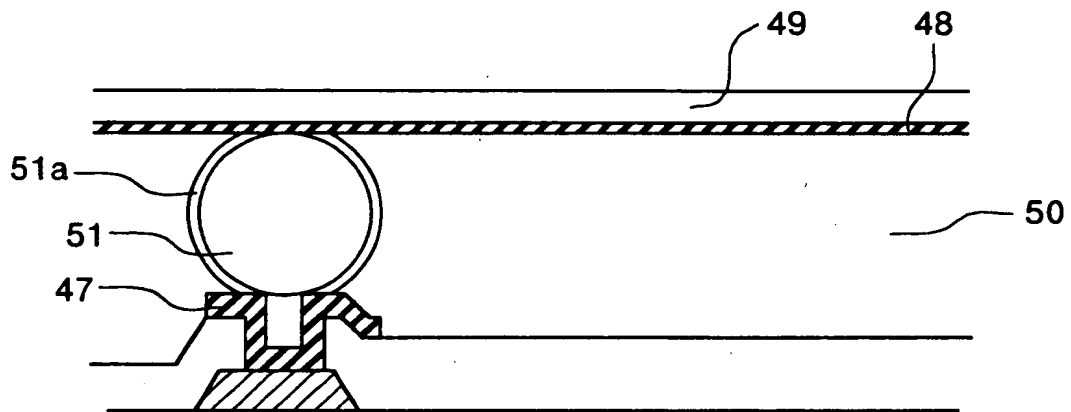
【図9】



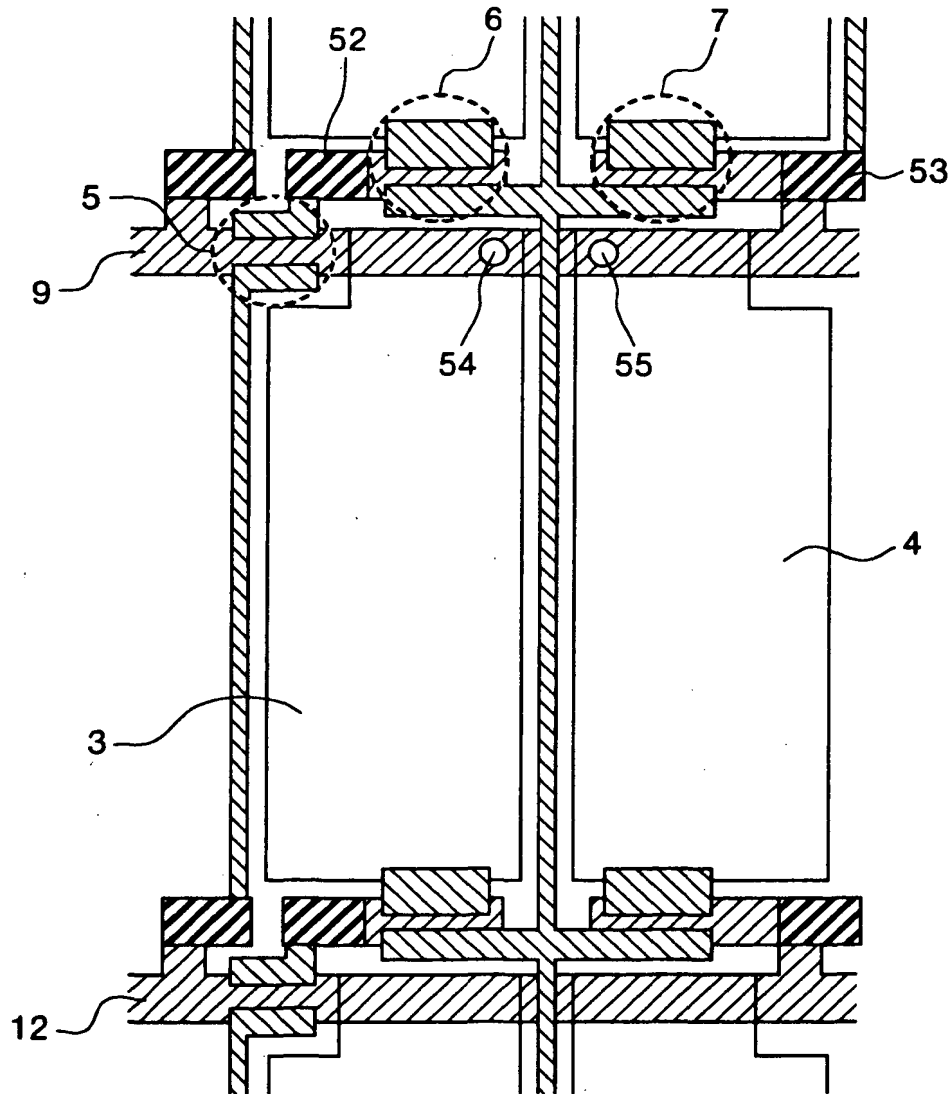
【図 1 0】



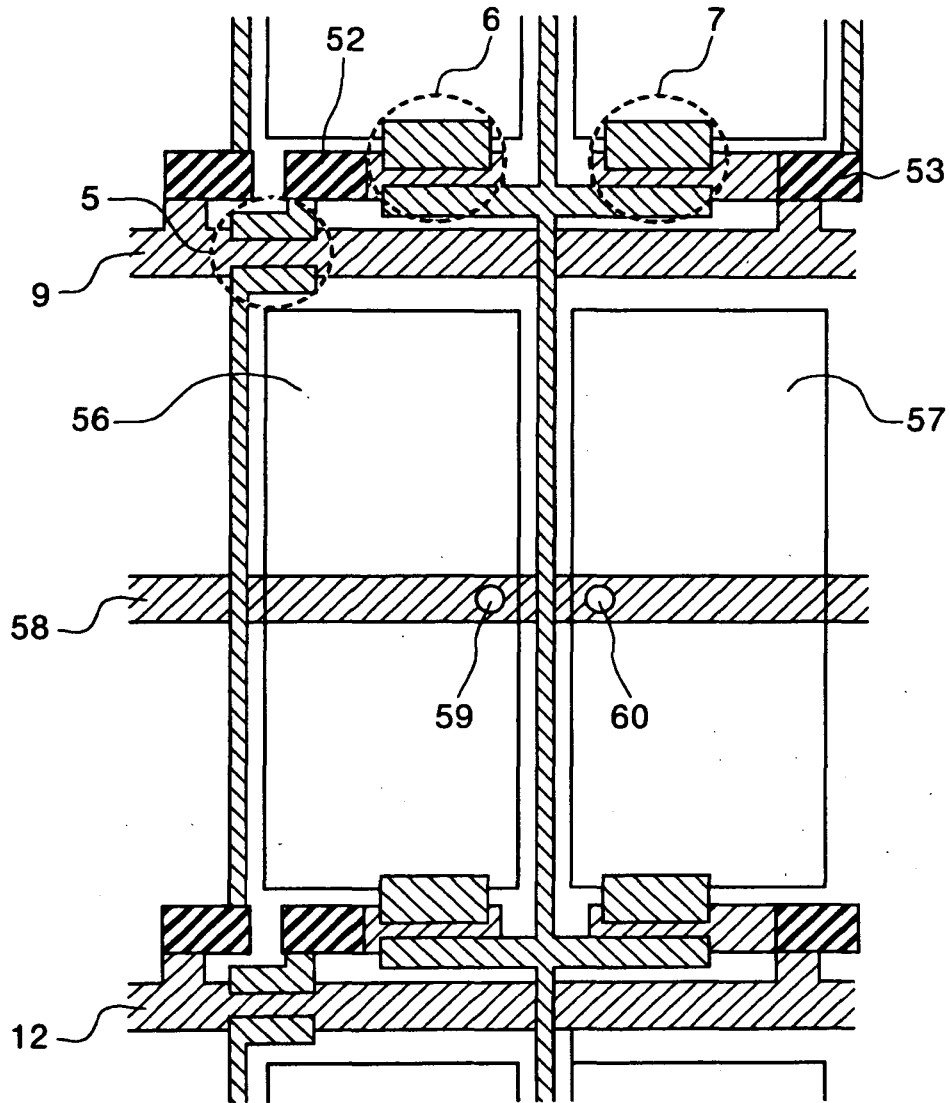
【図 1 1】



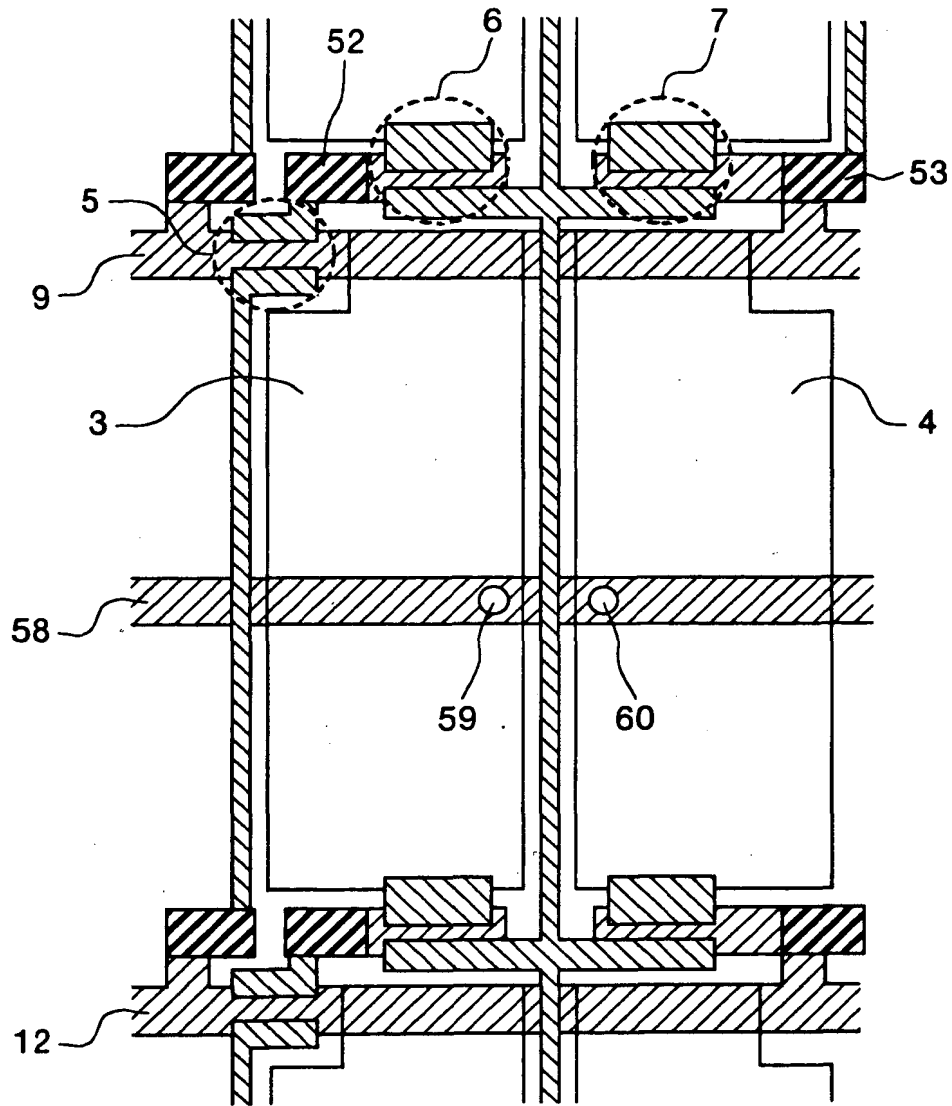
【図 1 2】



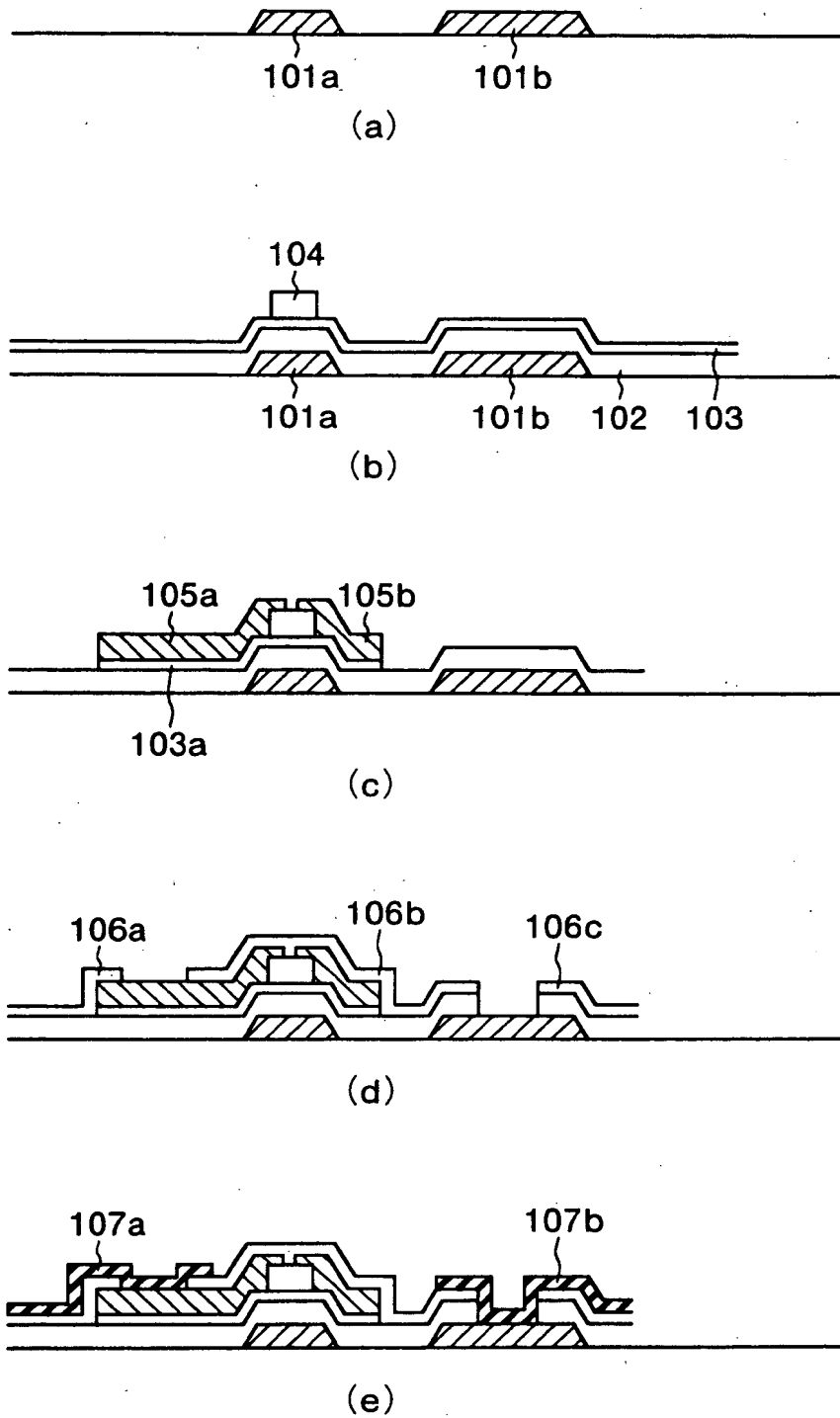
【図13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 表面配線構造を備えた画像表示装置において、製造上の負担を増加させることなく画面表示特性の劣化を抑制する。

【解決手段】 走査線 9 と接続する表面配線構造 1 1 と、走査線 1 2 に対して薄膜トランジスタ 5 を介して接続される表面配線構造 1 0 との間の距離 L_1 を $5\mu\text{m}$ 以上離隔して配置する。かかる構造により、電源をオンしている間に表面配線構造 1 0、1 1 に付着し、電源をオフにしている間に拡散する不純物イオン等による表面配線構造 1 0、1 1 間の導通を防止し、電流リークを抑制することで色のにじみ等の画面表示特性の劣化を抑制している。

【選択図】 図 4

【書類名】 出願人名義変更届
【整理番号】 PIDA-14197
【提出日】 平成15年 4月 2日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2002-192650
【承継人】
 【識別番号】 599142729
 【氏名又は名称】 奇美電子股▲ふん▼有限公司
【承継人代理人】
 【識別番号】 100089118
 【弁理士】
 【氏名又は名称】 酒井 宏明
【手数料の表示】
 【予納台帳番号】 036711
 【納付金額】 4,200円
【提出物件の目録】
 【包括委任状番号】 0216759
 【物件名】 譲渡証書 1
 【援用の表示】 特願2002-281527に関する出願人名義変更届
 の補足書に添付の譲渡証書
【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [301075190]

1. 変更年月日	2001年11月22日
[変更理由]	新規登録
住 所	滋賀県野洲郡野洲町市三宅800番地
氏 名	インターナショナル ディスプレイ テクノロジー株式会社

出 願 人 履 歷 情 報

識別番号 [599142729]

1. 変更年月日 1999年10月 8日

[変更理由] 新規登録

住 所 台湾台南県台南科学工業園区新市郷奇業路1号

氏 名 奇美電子股▲ふん▼有限公司